

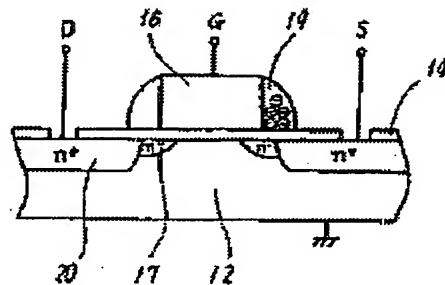
SEMICONDUCTOR STORAGE DEVICE AND MANUFACTURE THEREOF

Patent number: JP63204770
Publication date: 1988-08-24
Inventor: KURACHI IKUO
Applicant: OKI ELECTRIC IND CO LTD
Classification:
- International: H01L29/78
- European:
Application number: JP19870035792 19870220
Priority number(s):

Abstract of JP63204770

PURPOSE: To improve a manufacturing yield by forming a drain region that is composed of low and high concentrated layers and by causing a gate electrode to be made up of a polysilicon gate layer as well as side walls consisting of nitriding films which are prepared at side parts of the polysilicon gate.

CONSTITUTION: A drain region comprises a low concentrated layer 17 and a high concentrated layer 20 and a gate electrode is composed of a polysilicon gate layer 16 and side walls 19 consisting of nitriding films 18 which are prepared at side parts of the polysilicon gate layer 16. As the gate electrode is formed by the polysilicon gate 16 and the side walls 19 consisting of the nitriding films 18 that are adjacent to the above gate 16, both of which are respectively prepared on a gate oxide film. A structure of the gate electrode forms the structure consisting of one layer in the direction of highness. This configuration makes stepped parts small and almost completely removes undesired interconnection metal layers when a patterning of an interconnection metal is performed and then improves a manufacturing yield.



⑪ 公開特許公報 (A) 昭63-204770

⑤Int.Cl.
H 01 L 29/78識別記号
371
301庁内整理番号
7514-5F
X-8422-5F

⑪公開 昭和63年(1988)8月24日

審査請求 未請求 発明の数 2 (全7頁)

⑫発明の名称 半導体記憶装置及びその製造方法

⑬特願 昭62-35792

⑭出願 昭62(1987)2月20日

⑮発明者 倉知 郁生 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内

⑯出願人 沖電気工業株式会社 東京都港区虎ノ門1丁目7番12号

⑰代理人 弁理士 大垣 孝

明細書

1. 発明の名称

半導体記憶装置及びその製造方法

2. 特許請求の範囲

(1) ソース領域と、ドレイン領域と、シリコン基板上にゲート酸化膜を介して設けたゲート電極とを具える半導体記憶装置において、

少なくともドレイン領域を低濃度層及び高濃度層で構成し、

該ゲート電極を、ポリシリコンゲート層と、該ポリシリコンゲート層の側部に設けた窒化膜によるサイドウォールとを以って構成して成ることを特徴とする半導体記憶装置。

(2) シリコン基板上に形成されたゲート酸化膜上にポリシリコンゲート層を形成する工程と、

該ポリシリコンゲート層をマスクとして前記シリコン基板に第一不純物を導入し低濃度層を形成する工程と、

前記ポリシリコンゲート層の側部に、該ポリシリコンゲート層と相俟ってゲート電極を構成する

ための、窒化膜からなるサイドウォールを形成する工程と、

該ポリシリコンゲート層及びサイドウォールをマスクとして前記シリコン基板に第二不純物を導入して高濃度層を形成する工程とを含むことを特徴とする半導体記憶装置の製造方法。

3. 発明の詳細な説明

(産業上の利用分野)

この発明は半導体記憶装置、特に消去可能かつプログラム可能な読み出し専用メモリ及びその製造方法に関する。

(従来の技術)

従来より種々のタイプの半導体記憶装置が開発されかつ実用に供されてきている。このような半導体記憶装置の一つとして上述したような消去可能かつプログラム可能な読み出し専用メモリ (E P R O M : E r a s a b l e - P r o-

grammable Read-only Memory) があり広く用いられている(例えば文献: 「フィジックス オブ セミコンダクタデバイシーズ (Physics of Semiconductor Devices) pp 498~503. ウィリーーインターサイエンス (Wiley-Interscience) 社, 81年, エス・エム・スジ (S. M. SZE 著)」)。

第3図はこのようなE PROMのメモリセルの基本回路を示す図で、マトリックス状に配列した書き込み用金属配線(ワード線) LWと、選択信号用の金属配線(データ線) LDとの各交差点にE PROMをそれぞれ配置し、そのゲート電極Gを金属配線 LW に接続させ、ドレイン電極Dを金属配線 LD に接続し、ソース電極Sを接地した構成となっていて、フローティングゲートFGに電荷を与えて閾値を変化させるようになっている。

第4図はこの従来のE PROMのメモリセル構

造み重ねた二層構造となってしまい、これがた、ゲート電極部分での段差が大きくなっているソース及びドレイン領域に対する金属配線のためのスルーホールのゲート電極側の側壁が長くなる。従って、ウェハ全面に金属層を被着した後エッチングして金属配線パターンを形成しようとすると、段差部の側面に被着した所要箇所以外の金属配線層を完全には除去出来ず、この残存した金属配線層が短絡の原因となるため、半導体記憶装置の製造歩留りを悪くするという問題点があった。

また、従来構造のE PROMの如き半導体記憶装置によれば、ゲート電極構造が絶縁層を挟んでポリシリコンゲート層とフローティングゲートとの二層構造となっているため、製造工程数が多くかつ複雑であり、この点からも製造歩留まりを高めることが出来ないという問題点があった。

この発明の目的は、製造工程を簡略出来る構造の半導体記憶装置を提供すると共に、その製造方法を提供することにある。

造を概略的に示す要部断面図で、30はシリコン半導体基板、31はフィールド酸化膜、32はゲート酸化膜、33はこのゲート酸化膜32上に形成されたフローティングゲート、34はこのフローティングゲート33の上側にゲート酸化膜と同一又は異なる絶縁膜を介して設けたポリシリコンゲート層、35は中間絶縁膜、36はソース及びドレイン領域をそれぞれ形成する拡散層、37はコンタクトホール、38はゲート、ソース及びドレインをそれぞれ所要箇所に接続するための配線用金属である。

このようなE PROM構造において、既に説明した通り、従来はシリコン半導体基板30からフローティングゲート33へキャリアを注入し、フローティングゲート33に電荷を蓄積することで記憶を行っていた。

(発明が解決しようとする問題点)

しかしながら、上述した従来のE PROMの如き半導体記憶装置では、フローティングゲートを用いているため、ゲート電極構造がポリシリコンゲート層とフローティングゲートとを高さ方向に

(問題点を解決するための手段)

この目的の達成を図るため、この発明によれば、

ソース領域と、ドレイン領域と、シリコンの半導体基板上にゲート酸化膜を介して設けたゲート電極とを具える半導体記憶装置において、

少なくともドレイン領域を低濃度層及び高濃度層の両層で構成し、

ゲート電極を、ポリシリコンゲート層と、このポリシリコンゲート層の側部に設けた空化膜よりなるサイドウォールとを以って構成して成ることを特徴とする。

さらに、この発明の半導体記憶装置の製造方法によれば、

シリコンの半導体基板上に形成されたゲート酸化膜上にポリシリコンゲート層を形成する工程と、

このポリシリコンゲート層をマスクとしてこの半導体基板に第一不純物を導入し低濃度層を形成する工程と、

このポリシリコンゲート層の側部に、当該ポリシリコンゲート層と相俟ってゲート電極を構成するための、窒化膜からなるサイドウォールを形成する工程と、

このポリシリコンゲート層及びサイドウォールをマスクとして半導体基板に第二不純物を導入して高濃度層を形成する工程と
を含むことを特徴とする。

(作用)

この発明の半導体記憶装置の構造によれば、ゲート電極を、ゲート酸化膜上にそれぞれ設けられたポリシリコンゲート層及びこれに隣接する窒化膜からなるサイドウォールで、形成してあるため、ゲート電極構造は高さ方向には一層分の構造となり、従って段差が小さく、配線金属のパターニングの際に不所望な配線金属層をほぼ完全に除去出来、歩留りの向上を図ることが出来る。

また、この発明の半導体記憶装置の製造方法に

に変えることが出来るものである。

まず、基板としてシリコン単結晶基板10を用意し、この基板10に、シリコン窒化膜を耐酸化膜として用いる通常の選択酸化法であるLOCOS法によって、フィールド酸化膜11を形成してアクティブ領域12とフィールド領域13とを分離する。続いて、アクティブ領域12の基板面を、例えば900℃の温度の乾燥酸素中で、酸化してメモリセルとなるトランジスタのゲート酸化膜14を例えば200～300Åの膜厚となるようにして形成し第1図(A)に示すようなウエハ状態を得る。

次に、第1図(B)に示すように、ウエハ全面にゲート電極を構成するためのポリシリコン膜15を通常の方法で形成し、続いて、このポリシリコン膜15に、例えば熱拡散成はイオン注入法によってリン又はその他の導電性を持たせかつ低抵抗化を図るための任意好適な不純物を約 $3 \times 10^{20} \sim 8 \times 10^{20} \text{ cm}^{-3}$ 程度の高濃度の不純物添加濃度で導入する。

よれば、ゲート電極構造が高さ方向に一層構造であるので、従来の積層構造と比べて製造が簡単となり、従って製造歩留りの向上を図れる。

(実施例)

以下、図面を参照してこの発明の半導体記憶装置及びその製造方法につき説明する。

尚、この半導体記憶装置の構造は、その製造方法の説明と併せて説明する。

第1図(A)～(H)はこの発明の半導体記憶装置(メモリセル)であるEPROMの製造工程図であり、各図は、その製造段階でのウエハの状態を要部断面図として示してある。また、これら図において、断面を表わすハッチング等は一部分を除き省略して示し、各構成成分の形状、寸法及び配置関係はこの発明が理解出来る程度に概略的に示してあるにすぎず、これらは図示例に限定されるものではないことを理解されたい。また、以下説明する実施例で例示した数値的条件はもとより、その他の所要の条件は、何等これらに限定されるものではなく、設計に応じて任意好適な条件

次に、通常のホトリソグラフィー技術を用いて、ゲート電極及び配線となる部分以外のポリシリコン膜15をエッチャリング除去し、ゲート電極用の例えばストライプ状のポリシリコンゲート層18をアクティブ領域12の上側に形成し、第1図(C)に示すようなウエハ状態を得る。

次に、このポリシリコンゲート層18をマスクとして用いてアクティブ領域12に通常の方法で第一不純物の添加を行いソース領域及びドレイン領域用の低濃度層17を形成し、第1図(D)に示すようなウエハ状態を得る。この実施例では、第一不純物としてリンを、 $5 \times 10^{12} \sim 2 \times 10^{12} \text{ cm}^{-2}$ 程度のドーズ量及び40～50KeV程度のエネルギーで、イオン注入を行って例えば $1 \times 10^{19} \text{ cm}^{-3}$ 程度以下の低濃度層15としてドレイン層を形成する。この場合、添加する不純物は設計に応じて任意好適な不純物を選ぶことが出来る。また、このような低濃度層を設ける理由は、低濃度としておくと、後述するサイドウォールに注入されトラップされた電子によってドレイン層

が空防歓され面積を上げることが出来るからである。

次に、このウエハ上に、通常の技術を用いて、任意好適の塗化膜18を形成し、第1図 (E) に示すようなウエハ状態を得る。

次に、この塗化膜18を任意好適な異方性エッチング例えばリアクティブ イオン エッティング (RIE) を用いてポリシリコンゲート層18の上側表面が露出するまでエッチングを行い、ポリシリコンゲート層18の側壁に隣接して塗化膜のサイドウォール18を形成し、第1図 (F) に示すようなウエハ状態を得る。

次に、このウエハに対し、ポリシリコンゲート層18及びサイドウォール18をマスクとして、適当の方法で第二不純物の添加を行いアクティブ領域12のソース領域及びドレイン領域に高濃度層20を形成し、第1図 (G) に示すようなウエハ状態を得る。この実施例では、第二不純物としてヒ素を、 $8 \times 10^{15} \sim 1 \cdot 2 \times 10^{16} \text{ cm}^{-2}$ 程度のドーズ量及び40~80KeV程度のエネルギー

このようにして形成された半導体記憶装置は、第1図 (H) からも理解出来るように、ゲート電極をポリシリコンゲート層18と、その側壁周辺のゲート酸化膜14上に設けられた塗化膜よりなるサイドウォール18とで形成した構造となっており、従って、この発明の半導体記憶装置は、従来の、基板面に直交する方向の二層構造のゲート電極構造の場合よりも、基板面と直交する方向の高さが著しく低く、段差が小さい構造となっている。

次に、この発明の半導体記憶装置の動作例につき説明する。

第2図 (A) 及び (B) はこの発明の半導体記憶装置 (EPROM) の動作説明図で、要部を概略的断面図で示してある。そして、第2図 (A) はこのメモリセルへの書き込みを説明するための図であり、第2図 (B) は読み取りを説明するための図である。

先ず、書き込みの場合につき説明する。今、情報を書き込もうとするメモリセルに対し、ワード線及びデータ線を用いて、ドレインアバランシ

で、イオン注入を行って高濃度層20として拡散層を形成する。この場合、添加する第二不純物は設計に応じて任意好適な不純物を選ぶことが出来る。このようにして形成された低濃度層17及び高濃度層20とで少なくともドレイン領域を形成するか、またはドレイン領域とソース領域とを形成する。また、この場合、好ましくは、上述した第一不純物すなわちこの実施例ではリンのドーズ量と、第二不純物すなわちこの実施例ではヒ素のドーズ量とを、電圧印加時にドレイン領域近傍の電界のチャネル方向成分が最大値となる点が塗化膜のサイドウォール18の直下となるように、整合させておくのが好適である。

続いて、通常の技術を用いて、中間絶縁膜21を形成し、然る後、リフロー処理を行い、続いてコンタクトホール22を形成し、その後ソース、ドレイン及びゲート用の金属配線23を形成し、さらには図示していないが通常の方法で保護用酸化膜を形成して第1図 (H) に示すようなMOS型の半導体記憶装置であるEPROMを得る。

ホットキャリアが発生する条件、例えばドレイン電圧10V (ボルト) 及びゲート電圧5V (ボルト) の条件で、ドレイン電極D及びゲート電極Gにそれぞれ電圧を印加する。この時、ソース電極Sを接地しておく。これら電圧を印加すると、低濃度層17の拡散層及び高濃度層20の拡散層の不純物添加濃度の関係で、ドレイン領域近傍の電界のチャネル方向成分の最大値の点が塗化膜のサイドウォール18の直下のアクティブ領域12で得られるので、発生したホットエレクトロンはゲート酸化膜14の電位障壁を越えて当該ゲート酸化膜14及びサイドウォール18の塗化膜へと注入される (第2図 (A) において矢印aで示す)。また、点線bは空乏層の拡がりを示す。

このホットエレクトロンはゲート酸化膜14中のトラップ、サイドウォール18の塗化膜中のトラップ及びゲート酸化膜14とサイドウォール18の塗化膜との界面の単位等に捕獲され、その結果、サイドウォール18の塗化膜中に電荷が発生する。このとき、一般には塗化膜は酸化膜に比べてトラップ

が多いので、発生する電荷も多い。

このように、ゲート電極G及びドレイン電極Dに高電圧を印加することによって、ドレインアバランシェホットキャリアをサイドウォール19の窒化膜に注入し、この注入されたキャリアをこの窒化膜にトラップして電荷を発生させ、よって、閾値を変化させて書き込みを完了する。

次に読み取りの場合につき説明する。第2図(B)に示すように、電荷がサイドウォール19の窒化膜に注入されているとする。これを読み取るため、書き込み時とは、電圧の印加を逆にする。すなわち、ソース電極Sとドレイン電極Dを書き込み時とは逆に設定し、書き込み時のソース電極をドレイン電極としてこれに10Vの電圧を印加し、書き込み時のドレイン電極をソース電極としてこれを接地し、ゲート電極Gには5Vの電圧を印加する。このように電圧を印加すると、仮にサイドウォール19に電荷の蓄積が存在する場合には、この電荷(電子を注入したので付の電荷である。)により、このメモリセル(E PROM)

に対して直交する高さ方向には、従来のような二層構造となっていないので、ゲート電極部における段差が従来よりも著しく低く出来、しかも、ポリシリコンゲート層にサイドウォールを設けたゲート電極構造となっているので、ゲート電極部がよりなだらかな形状となる。従って、配線金属のエッチングの際に、従来のような配線金属の未除去部分が残存する懼れはなく、従って、製造歩留まりが向上する。

また、この発明の製造方法によれば、従来のような二層構造のゲート電極を形成する工程を必要としないので、製造が簡略化し、それにより、製造歩留まりの向上を図ることが出来る。

4. 図面の簡単な説明

第1図(A)～(H)はこの発明の半導体記憶装置及びその製造方法の説明に供する製造工程図。

第2図はこの発明の半導体記憶装置の動作説明図。

の閾値電圧は電荷を注入しなかった場合の閾値電圧よりも高くなる。従って、この閾値電圧が高いことを検出することによってこのメモリセルに情報が蓄積されていることを知ることが出来る。尚、この閾値電圧は従来のメモリセルの場合の閾値電圧と同等かそれよりも高くすることが出来る。また、読み取り時にソース及びドレイン電極S及びDに印加する電圧状態を換えた理由は、ソース領域側に電荷があった方がチャネル形成に大きく影響し、読み取り効率を高めることが出来るためである。

この発明は上述した実施例にのみに限定されるものではなく、この発明の範囲内で多くの変形または変更を行ひ得ること明らかである。例えば、上述した実施例で説明した各構成成分の材料、導電型、配置関係、処理順序等は数値的条件等は設計に応じて適当に変更することが出来る。

(発明の効果)

上述した説明からも明らかのように、この発明の半導体記憶装置によれば、ゲート電極を基板面

第3図は半導体記憶装置としてのE PROMのメモリセルの基本回路図。

第4図は従来のE PROMのメモリセル構造を示す要部断面図である。

10…シリコン半導体基板	13…フィールド酸化膜
11…フィールド酸化膜	14…ゲート酸化膜
12…アクティブ領域	15…ポリシリコン膜
16…ポリシリコンゲート層	17…低濃度層(例えば、ドット散層)
18…窒化膜	19…サイドウォール
20…高濃度層(例えば、ドット散層)	21…中間絶縁膜
22…コンタクトホール	23…金属配線

特許出願人

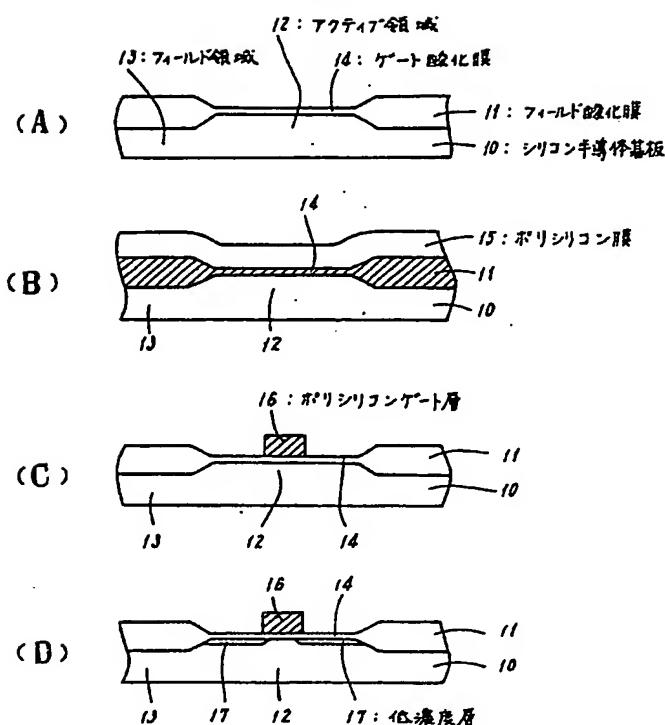
沖電気工業株式会社

代理人弁理士

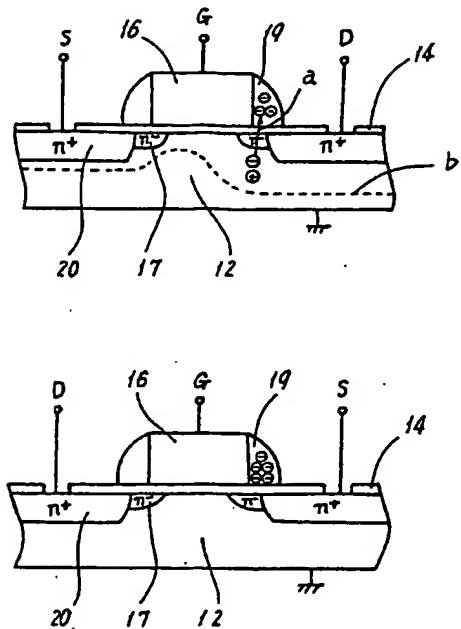
大垣

孝



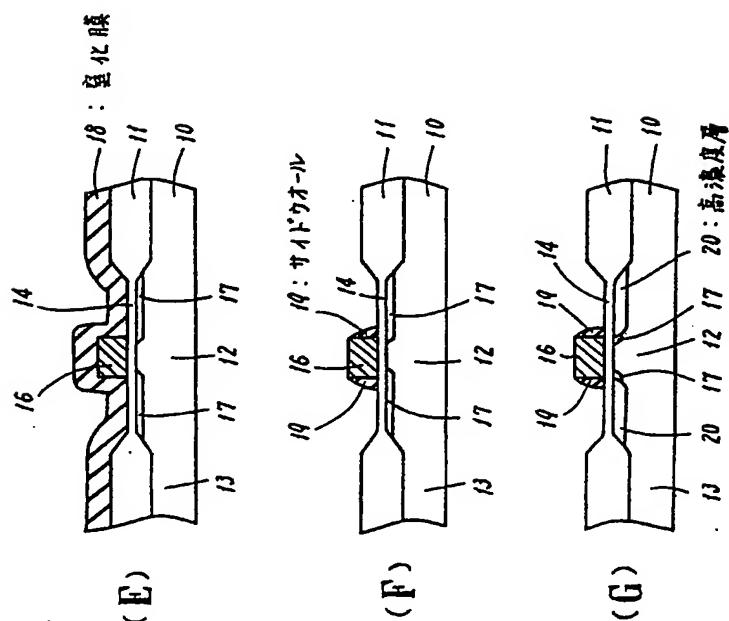


この発明の製造工程図
第1図



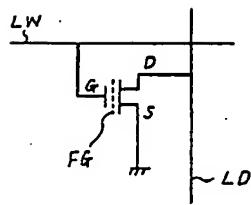
圖說說明作圖

第 2 図



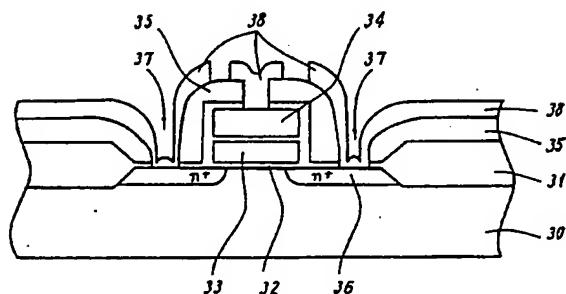
三
一
第

この発明の製造工程図



EEPROMのメモリセルの基本回路

第3図



従来のEEPROMのメモリセル構造

第4図